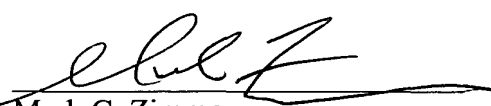


PATENT  
Docket No. 20063/10004

**IN THE UNITED STATES PATENT  
AND TRADEMARK OFFICE**

Applicant(s): Young Pil KIM	)	I hereby certify that the documents
Serial No.: 10/627,059	)	referred to as enclosed herewith are
Filed: July 25, 2003	)	being deposited with the United States
For: "Method of Making a MOS	)	Postal Service, first class postage
Transistor"	)	prepaid, in an envelope addressed to
Group Art Unit: Unknown	)	the Commissioner for Patents, P.O.
Examiner: Unknown	)	Box 1450, Alexandria, Virginia
	)	22313-1450 on this date:
	)	<b>August 19, 2003</b>
	)	
	)	
	)	Mark C. Zimmerman
	)	Reg. No. 44,006

TRANSMITTAL OF PRIORITY DOCUMENT

Commissioner for Patents  
P.O. Box 1450  
Alexandria, Virginia 22313-1450

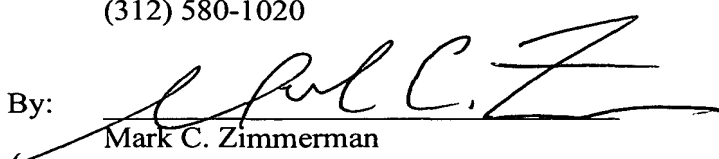
Sir:

Enclosed herewith is a certified copy of Korean Patent Application Serial  
No. 10-2002-0043796 filed July 25, 2002, the priority of which is claimed under  
35 U.S.C. § 119.

Respectfully submitted,

GROSSMAN & FLIGHT, LLC.  
Suite 4220  
20 North Wacker Drive  
Chicago, Illinois 60606  
(312) 580-1020

By:

  
Mark C. Zimmerman  
Registration No.: 44,006

**August 19, 2003**



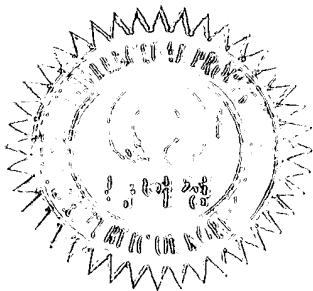
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0043796  
Application Number

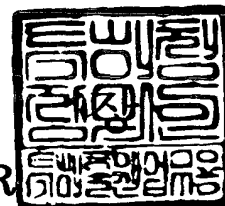
출원 년 월 일 : 2002년 07월 25일  
Date of Application JUL 25, 2002

출원인 : 동부전자 주식회사  
Applicant(s) DONGBU ELECTRONICS CO., LTD.



2003      년    07      월    18      일

특      허      청  
COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0006
【제출일자】	2002.07.25
【발명의 명칭】	모스 트랜지스터의 제조 방법
【발명의 영문명칭】	Method of manufacturing MOS Transistor
【출원인】	
【명칭】	동부전자 주식회사
【출원인코드】	1-1998-106725-7
【대리인】	
【성명】	강성배
【대리인코드】	9-1999-000101-3
【포괄위임등록번호】	2001-050901-4
【발명자】	
【성명의 국문표기】	김영필
【성명의 영문표기】	KIM, Young Pil
【주민등록번호】	651214-1320925
【우편번호】	467-110
【주소】	경기도 이천시 증포동 대우1차아파트 103동 1082호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 강성배 (인)
【수수료】	
【기본출원료】	14 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	3 항 205,000 원
【합계】	234,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

본 발명은 실리사이드 공정 진행 전에 금속막과 접촉하는 폴리실리콘 게이트 전극의 노출 부분을 증가시켜서 짧은 열처리 공정으로도 폴리실리콘 게이트 전극을 완전히 금속 실리사이드 게이트 전극으로 전이시킬 수 있는 모스(MOS) 트랜지스터의 제조 방법을 개시한다. 개시된 본 발명의 모스 트랜지스터의 제조 방법은, 상부면에 실리사이드막을 구비한 폴리실리콘 게이트 전극이 형성되고, 상기 폴리실리콘 전극의 측벽에는 스페이서가 형성되며, 상기 폴리실리콘 게이트 전극의 양측에는 LDD 영역을 구비한 소오스/드레인 영역이 형성된 반도체 기판을 제공하는 단계; 상기 폴리실리콘 게이트 전극을 포함한 기판의 전 영역 상에 절연막을 형성하는 단계; 상기 폴리실리콘 게이트 전극 상부면이 노출되도록 상기 절연막을 연마하는 단계; 상기 폴리실리콘 게이트 전극의 측면이 노출되도록 상기 절연막 및 스페이서의 일부 두께를 식각하는 단계; 상기 폴리실리콘 게이트 전극을 덮도록 상기 기판 결과물 상에 금속막을 형성하는 단계; 및 상기 금속막이 형성된 기판에 대해 열처리 공정을 수행하여 상기 폴리실리콘 게이트 전극을 전부 금속 실리사이드 게이트 전극으로 전이시키는 단계를 포함한다.

**【대표도】**

도 2e

## 【명세서】

## 【발명의 명칭】

모스 트랜지스터의 제조 방법{Method of manufacturing MOS Transistor}

## 【도면의 간단한 설명】

도 1a 내지 도 1c는 종래 기술에 따른 모스 트랜지스터의 제조 방법을 설명하기 위한 각 공정별 단면도.

도 2a 내지 도 2e는 본 발명의 실시예에 따른 모스 트랜지스터의 제조 방법을 설명하기 위한 각 공정별 단면도.

- 도면의 주요 부분에 대한 부호의 설명 -

21 : 반도체 기판

22 : LDD 영역

23 : 소오스/드레인 영역

24 : 폴리실리콘 게이트 전극 산화막

25 : 폴리실리콘 게이트 전극

26 : 스페이서

27 : 실리사이드막

29 : 절연막

30 : 금속막

31 : 금속 실리사이드 게이트 전극

## 【발명의 상세한 설명】

## 【발명의 목적】

## 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <9> .        본 발명은 모스 트랜지스터의 제조 방법에 관한 것으로, 보다 상세하게는, 폴리실리콘 게이트 전극을 완전히 금속 실리사이드 게이트 전극으로 전이시킬 수 있는 모스 트랜지스터의 제조 방법에 관한 것이다.
- <10>        모스(MOS) 소자가 급격하게 집적화 됨에 따라, 게이트 전극으로서 폴리실리콘을 사용하던 기존의 공정은 높은 게이트 저항과 폴리실리콘의 공핍(Depletion) 문제, 그리고 채널(Channel) 영역으로의 붕소 침입(Boron Penetration) 현상 등의 문제를 피할수 없게 되었다. 이러한 문제들은 금속 게이트(Metal Gate) 전극을 사용하는 공정이 대두됨으로써 해결할 수 있게 되었는데, 이와 같은 금속 게이트 형성 공정은 금속 식각 공정의 난이성이나 높은 온도의 열처리 공정을 견디기 어렵다는 새로운 문제에 직면하게 되었다.
- <11>        따라서, 상기와 같은 제반적인 문제를 해결하기 위해 다마신(Damascene) 공정이 제안되었다. 그런데, 이러한 상기의 다마신 공정은 기존의 금속 게이트 공정이 가지고 있던 문제를 해결하기는 하였으나 CMP(Chemical Mechanical Polishing) 공정을 여러번 사용하는 등 공정이 복잡하다는 문제가 있다.
- <12>        이에, 상기와 같은 문제점을 해결하기 위해 CMP 공정을 단 한번만 사용하는 새로운 모스 트랜지스터의 제조 방법이 제시되었고, 이하에 그 방법을 도 1a 내지 도 1c를 참조하여 설명하도록 한다.

- <13> 도 1a를 참조하면, 반도체 기판(1) 상에 폴리실리콘 게이트 전극(5)을 형성하고, 이어, 상기 폴리실리콘 게이트 전극(5) 양측의 기판 부분에 LDD 영역(2)을 형성한다. 다음으로, 상기 폴리실리콘 게이트 전극(5) 양측벽에 스페이서(6)를 형성하고, 상기 폴리실리콘 게이트 전극(5) 양측 기판에 소오스/드레인 영역(3)을 형성한다. 이어서, 상기 폴리실리콘 게이트 전극(5) 상부 및 소오스/드레인 영역(3) 표면에 실리사이드막(7)을 형성하고, 상기 소오스/드레인 영역(3) 및 LDD 영역(2)을 구비한 반도체 기판(1)의 전 영역에 상기 폴리실리콘 게이트 전극(5)을 덮도록 질화막(8)을 형성하고 이어, 상기 질화막(8)상에 절연막(9)을 형성한다.
- <14> 여기서, 상기 질화막(8)은 PECVD(Plasma Enhanced Chemical Vapor Deposition) 공정을 통해 대략 300~1000Å의 균일한 두께로 형성한다.
- <15> 도 1b를 참조하면, 폴리실리콘 게이트 전극(5)의 상부면이 노출 될 때까지 CMP 공정을 이용하여 상기 질화막(8)과 절연막(9)을 연마한다. 이때, 상기 CMP 공정은 상기 폴리실리콘 게이트 전극(5) 상부면이 완전히 노출될수 있도록 과도 연마(Over Polishing) 공정으로 수행한다. 그 다음으로, 상기 폴리실리콘 게이트 전극(5) 및 노출된 상기 질화막(8)과 절연막(9) 상에 균일한 두께로 금속막(10)을 증착한다. 상기 금속막(10)은 Ti/TiN 적층막, Co/TiN 적층막 또는 Co/Ti/TiN 적층막 등으로 1000Å 이하, 보다 구체적으로는 500~1000Å의 두께로 형성한다.
- <16> 도 1c를 참조하면, 상기 금속막이 형성된 기판에 대해 열처리 공정을 수행하여 상기 폴리실리콘 게이트 전극(5)이 금속 실리사이드 게이트 전극(11)으로 전이되도록 한다. 이때, 상기 열처리는 2단계로 실시하며, 1단계 열처리는 400~600℃, 그리고, 2단계 열처리는 800~1000℃ 정도의 급속열처리(Rapid Thermal Process : 이하 RTP)로 수행한다.
- <17> 이 후, 반응하지 않고 잔류된 금속막을 제거한다.

**【발명이 이루고자 하는 기술적 과제】**

- <18> 그러나, 상기와 같은 종래 기술에 따른 모스 트랜지스터의 제조 방법은 폴리실리콘 게이트와 금속막간의 접촉 면적이 작기 때문에, 즉, 후속의 열처리 동안 금속막이 확산 할 수 있는 면적이 충분치 못하기 때문에, 상기 폴리실리콘 게이트 전극이 완전히 금속 실리사이드 게이트 전극으로 전이 되지 못하는 문제점이 있다.
- <19> 한편, 이와 같은 문제를 개선하기 위해서는 실리사이드 형성을 위한 열처리 공정을 장시간 진행하여야 하는데, 이때는 그 열처리에 의해 이미 이온주입 되어진 소오스/드레인 영역의 불순물이 불규칙하게 확산하므로 소자 특성이 변하는 문제가 야기된다.
- <20> 따라서, 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출된 것으로서, 폴리실리콘 게이트 전극을 완전히 실리사이드 게이트 전극으로 전이시킬수 있는 모스 트랜지스터의 제조 방법을 제공함에 그 목적이 있다.

**【발명의 구성 및 작용】**

- <21> 상기와 같은 목적을 달성하기 위한 본 발명의 모스 트랜지스터의 제조 방법은, 상부면에 실리사이드막을 구비한 폴리실리콘 게이트 전극이 형성되고, 상기 폴리실리콘 전극의 측벽에는 스페이서가 형성되며, 상기 폴리실리콘 게이트 전극의 양측에는 LDD 영역을 구비한 소오스/드레인 영역이 형성된 반도체 기판을 제공하는 단계; 상기 폴리실리콘 게이트 전극을 포함한 기판의 전 영역 상에 절연막을 형성하는 단계; 상기 폴리실리콘 게이트 전극 상부면이 노출되도록 상기 절연막을 연마하는 단계; 상기 폴리실리콘 게이트 전극의 측면이 노출되도록 상기 절연막 및 스페이서의 일부 두께를 식각하는 단계; 상기 폴리실리콘 게이트 전극을 덮도록 상기 기판 결과물 상에 금속막을 형성하는 단계; 및 상기 금속막이 형성된 기판에 대해 열처리 공



정을 수행하여 상기 폴리실리콘 게이트 전극을 전부 금속 실리사이드 게이트 전극으로 전이시키는 단계를 포함하여 이루어진다.

<22> 본 발명에 따르면, 실리사이드 공정 진행전에 금속막과 접촉하는 폴리실리콘 게이트 전극의 노출 면적을 증가시켰기 때문에 짧은 열처리 공정으로도 상기 폴리실리콘 게이트 전극을 완전히 금속 실리사이드 게이트 전극으로 전이시킬 수 있다.

<23> (실시예)

<24> 이하, 첨부된 도면에 의거하여 본 발명의 바람직한 실시예를 보다 상세하게 설명하도록 한다.

<25> 도 2a 내지 도 2e는 본 발명의 실시예에 따른 MOS 트랜지스터의 제조 방법을 설명하기 위한 각 공정별 단면도이다.

<26> 도 2a를 참조하면, 반도체 기판(21) 상에 공지의 공정에 따라 폴리실리콘 게이트 전극(25)을 형성한다. 그런다음, 상기 폴리실리콘 게이트 전극(25) 양측의 기판 표면에 LDD 영역(22)을 형성하고, 이어, 상기 폴리실리콘 게이트 전극(25)의 양측벽에 스페이서(26)를 형성한 후, 상기 스페이서(26)를 포함한 폴리실리콘 게이트 전극(25) 양측의 기판 표면에 소오스/드레인 영역(23)을 형성한다. 그리고나서, 상기 폴리실리콘 게이트 전극(25) 및 소오스/드레인 영역(23)의 표면에 자기정렬적으로 실리사이드막(27)을 형성한다.

<27> 도 2b를 참조하면, 상기 폴리실리콘 게이트 전극(25) 및 소오스/드레인 영역(23)을 포함한 반도체 기판(21)의 전 영역 상에 절연막(29)을 형성한다. 이때, 상기 절연막(29)은 바람직하게 상기 스페이서(26)와 동일한 재질로 형성한다.

- <28> 도 2c를 참조하면, 상기 폴리실리콘 게이트 전극(25) 상부면이 노출될 때까지 상기 절연막(29)을 CMP 공정으로 연마하고, 연이어, 상기 폴리실리콘 게이트 전극(25) 높이의 2/3 이상, 보다 바람직하게는 4/6 ~ 5/6 가 노출될 때까지 상기 절연막(29) 및 스페이서(26)의 일부 두께를 건식 또는 습식으로 식각한다.
- <29> 여기서, 상기 절연막(29)과 스페이서(26) 일부를 식각하는 것은, 이후에 설명되겠지만, 상기 폴리실리콘 게이트 전극(25)의 노출 면적을 증가시켜 상기 금속막(30)과 접촉면적을 넓게 함으로써, 상기 폴리실리콘 게이트 전극(25)을 완전히 금속 실리사이드 게이트 전극(31)으로 전이시키기 위해서이다.
- <30> 도 2d를 참조하면, 상기 단계까지의 결과물 상에 균일한 두께로 금속막(30)을 형성한다. 상기 금속막(30)은 Ti/TiN 적층막, Co/TiN 적층막, 또는 Co/Ti/TiN 적층막 등으로 형성하며, 1000Å 이하, 보다 구체적으로 500~1000Å 두께로 형성한다.
- <31> 도 2e를 참조하면, 상기 금속막(30)이 형성된 기판에 대해 열처리 공정을 수행하여, 폴리실리콘 게이트 전극을 완전히 금속 실리사이드 게이트 전극(31)으로 전이시킨다. 상기 열처리는 2단계로 실시하며, 1단계 열처리는 400~600℃, 2단계 열처리는 800~1000℃ 정도의 RTP 공정을 수행한다.
- <32> 이때, 전술한 바와 같이, 상기 금속막의 형성 전에, 상기 폴리실리콘 게이트 전극의 넓은 면적을 노출시켰기 때문에, 상기 금속막과 상기 폴리실리콘 게이트 전극의 접촉 면적이 증가되었고, 이에 따라, 상기 열처리 동안 상기 금속막과 상기 폴리실리콘 간의 활발한 반응이 일어남으로써, 종래와는 달리 상기 폴리실리콘 게이트 전극은 완전히 금속 실리사이드 전극으로 전이 된다.

<33> 이후, 반응하지 않고 잔류된 상기 금속막을 제거해 본 발명의 모스 트랜지스터를 완성한다.

【발명의 효과】

<34> 이상에서와 같이, 본 발명은 금속 실리사이드의 형성 이전에, 폴리실리콘 게이트 전극과 금속막간의 접촉 면적을 종래 보다 증가 시킴으로써, 이후의 짧은 열처리 동안에도 폴리실리콘 게이트 전극을 완전히 금속 실리사이드 전극으로 전이시킬 수 있다.

<35> 한편, 전술한 본 발명의 실시예는 예시의 목적을 위해 개시된 것이며, 당업자라면 본 발명의 사상과 범위 안에서 다양한 수정, 변경 및 부가 등이 가능할 것이다. 따라서, 이러한 수정 및 변경 등은 이하의 특허청구범위에 속하는 것으로 보아야 할 것이다.

**【특허청구범위】****【청구항 1】**

상부면에 실리사이드막을 구비한 폴리실리콘 게이트 전극이 형성되고, 상기 폴리실리콘 전극의 측벽에는 스페이서가 형성되며, 상기 폴리실리콘 게이트 전극의 양측에는 LDD 영역을 구비한 소오스/드레인 영역이 형성된 반도체 기판을 제공하는 단계;

상기 폴리실리콘 게이트 전극을 포함한 기판의 전 영역 상에 절연막을 형성하는 단계;

상기 폴리실리콘 게이트 전극 상부면이 노출되도록 상기 절연막을 연마하는 단계;

상기 폴리실리콘 게이트 전극의 측면이 노출되도록 상기 절연막 및 스페이서의 일부 두께를 식각하는 단계;

상기 폴리실리콘 게이트 전극을 덮도록 상기 기판 결과물 상에 금속막을 형성하는 단계; 및

상기 금속막이 형성된 기판에 대해 열처리 공정을 수행하여 상기 폴리실리콘 게이트 전극을 전부 금속 실리사이드 게이트 전극으로 전이시키는 단계를 포함하는 것을 특징으로 하는 모스 트랜지스터의 제조 방법.

**【청구항 2】**

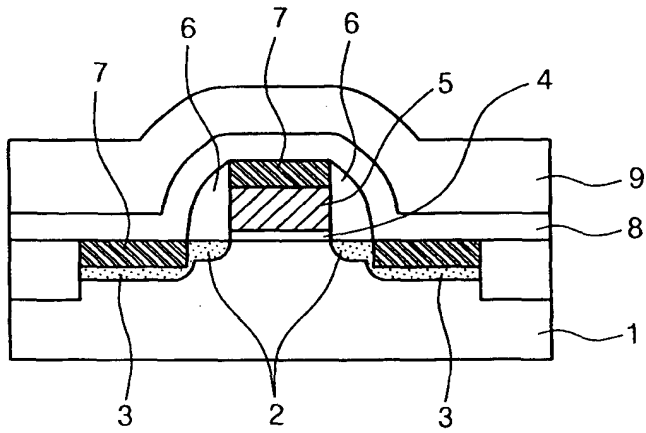
제 1 항에 있어서, 상기 스페이서와 상기 절연막은 동일 재질로 형성하는 것을 특징으로 하는 모스 트랜지스터의 제조 방법.

**【청구항 3】**

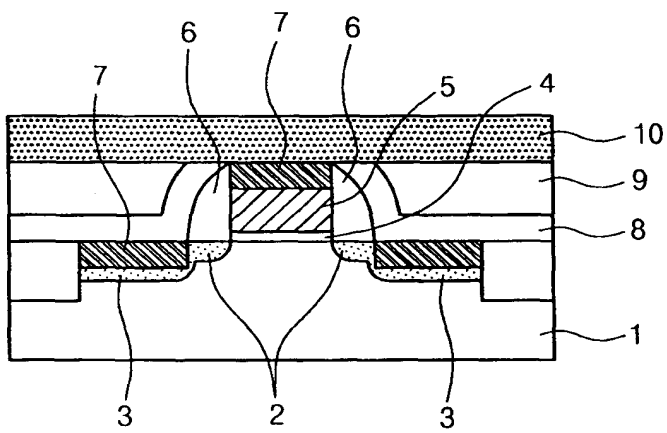
제 1 항에 있어서, 상기 절연막 및 스페이서를 식각하는 단계는, 상기 폴리실리콘 게이트 전극 전체 높이의  $4/6 \sim 5/6$  가 노출 되도록 수행 하는 것을 특징으로 하는 모스 트랜지스터의 제조 방법.

【도면】

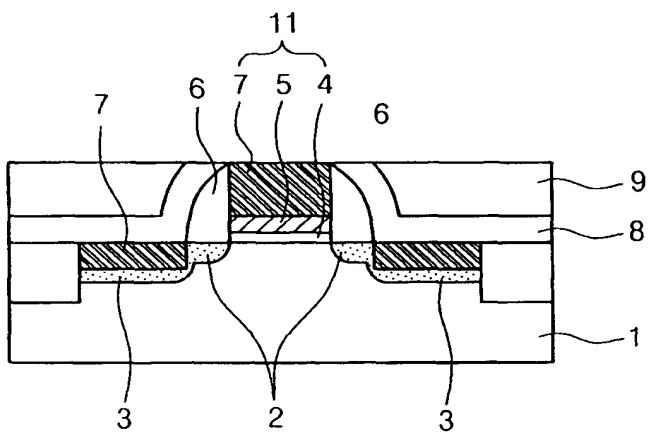
【도 1a】



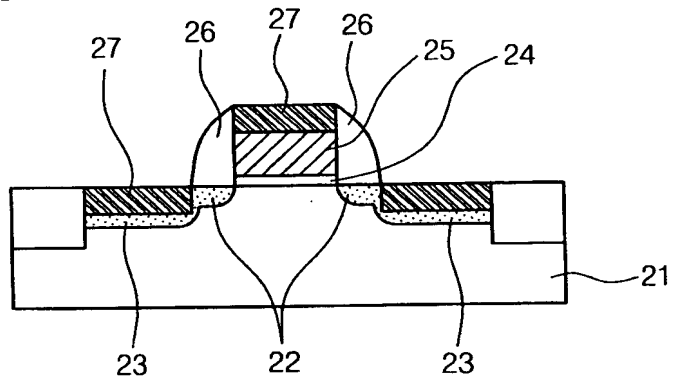
【도 1b】



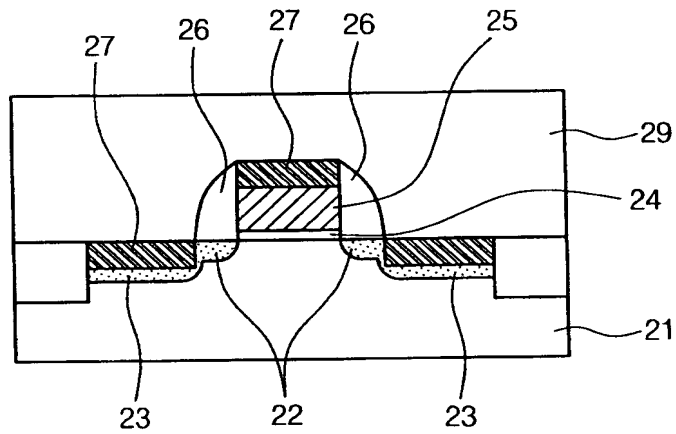
【도 1c】



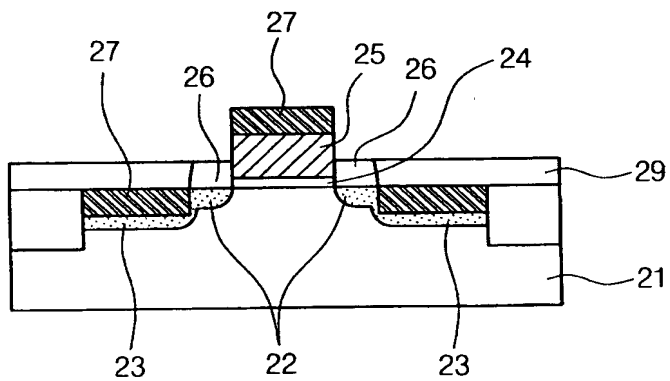
【도 2a】



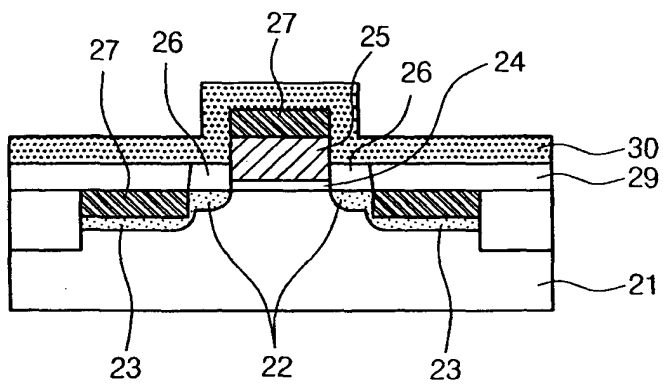
【도 2b】



【도 2c】



【도 2d】



【도 2e】

